


**Thin-film transistor and method for the production thereof**

Patent Number: □ DE4417154  
Publication date: 1994-11-24  
Inventor(s): RHA SA KYUN (KR); CHEON YOUNG IL (KR)  
Applicant(s):: GOLD STAR ELECTRONICS (KR)  
Requested Patent: □ JP7142734  
Application Number: DE19944417154 19940517  
Priority Number(s): KR19930008693 19930520; KR19930015788 19930816  
IPC Classification: H01L29/784 ; H01L21/336 ; H01L27/12  
EC Classification: H01L29/786B4, H01L21/336D2B, H01L21/336D2C, H01L27/11F2, H01L29/786B4B2  
Equivalents: JP2949404B2

**Abstract**

A thin-film transistor according to the invention is characterised by the following: - a substrate (71); - a gate pole (73) which is formed in the central part of the substrate; - a semiconductor layer (75) which is formed such that it surrounds the gate pole on the substrate; - a side-wall spacer (77) which is formed on the side of the gate pole on the semiconductor layer; and - impurity (foreign-matter) regions (82, 83) of high density, which are formed in the semiconductor layer on both sides of the gate pole, the impurity density dropping gradually under the side-wall spacer towards the gate pole. A method according to the invention for producing a TFT is characterised by the following steps: - production of a gate pole in the central part of a substrate; - production of a gate-insulating film on a semiconductor layer over the entire surface area of the substrate; - formation of a side-wall spacer only on one side of the gate pole on the semiconductor layer; and - formation of impurity regions of high density in the semiconductor layer on both sides of the gate by ion injection of impurity ions into the semiconductor layer. 

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-142734

(43) 公開日 平成7年(1995)6月2日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 29/786

識別記号

片内整理番号

9056-4M

F I

H 0 1 L 29/78

技術表示箇所

3 1 1 G

審査請求 有 請求項の数50 F D (全 11 頁)

(21) 出願番号 特願平6-125894

(22) 出願日 平成6年(1994)5月17日

(31) 優先権主張番号 8 6 9 3 / 1 9 9 3

(32) 優先日 1993年5月20日

(33) 優先権主張国 韓国 (K R)

(31) 優先権主張番号 1 5 7 8 8 / 1 9 9 3

(32) 優先日 1993年8月16日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 591041131

ゴールド スター エレクトロニクスカンパ  
ニー リミテッド

GOLD STAR ELECTRON  
COMPANY LIMITED

大韓民国 チュングチェオンブグド チ  
ニオンジュシ ヒャンギエオンードン  
50

(72) 発明者 サ・ギユン・ラ

大韓民国・ソウル シ・ガンナム グ・ゲ  
ボードン・656・シヨンアパートメント  
1-507

(74) 代理人 弁理士 山川 政樹

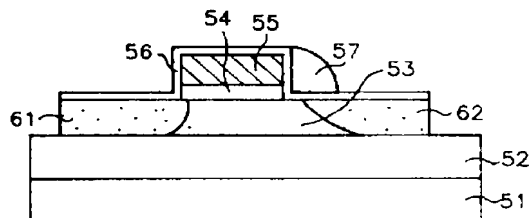
最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ及びその製造方法

(57) 【要約】 (修正有)

【目的】 傾斜したドレイン領域を形成してオン/オフ電流比を増加させる薄膜トランジスタ及びその製造方法を提供する。

【構成】 本発明は、基板51の中央部にゲート電極55を形成するステップと、基板全面にわたってゲート絶縁膜54と半導体層53を順次形成するステップと、ゲート電極55の一侧の半導体層上にのみ側壁スペーサ57を形成するステップと、半導体層に不純物イオンをイオン注入して二つの高濃度不純物領域61、62をゲートの両側の半導体層内に形成するステップとを含む。



【特許請求の範囲】

【請求項1】 基板と、

基板の中央部に形成されたゲート電極と、  
基板の電極を覆うように基板上に形成された半導体層と、

前記ゲート電極の側の半導体層上に形成された側壁スペーサと、

ゲート電極の両側の半導体層内に形成された二つの高濃度不純物領域と、

を含むことを特徴とする薄膜トランジスタ。

【請求項2】 前記ゲート電極は、ポリシリコン膜からなることを特徴とする請求項1記載の薄膜トランジスタ。

【請求項3】 前記半導体層は、ポリシリコン膜からなることを特徴とする請求項1記載の薄膜トランジスタ。

【請求項4】 前記半導体層は、非晶質シリコン膜からなることを特徴とする請求項1記載の薄膜トランジスタ。

【請求項5】 前記側壁スペーサは、絶縁膜からなることを特徴とする請求項1記載の薄膜トランジスタ。

【請求項6】 基板と、

基板上に形成された絶縁膜と、

基板上の中央部に形成されたゲート電極と、

ゲート電極を覆うように絶縁膜上に形成されたゲート絶縁膜と、

ゲート絶縁膜上に形成された半導体層と、

ゲート電極の側の半導体層上に形成された側壁スペーサと、

ゲート電極の両側の半導体層内に形成され、この中からゲート電極の側の半導体層内に形成された高濃度不純物領域は、側壁スペーサの下部において傾斜型の接合構造を有する二つの高濃度不純物領域と、  
を含むことを特徴とする薄膜トランジスタ。

【請求項7】 前記ゲート電極は、ポリシリコン膜からなることを特徴とする請求項6記載の薄膜トランジスタ。

【請求項8】 前記半導体層は、ポリシリコン膜からなることを特徴とする請求項6記載の薄膜トランジスタ。

【請求項9】 前記半導体層は、非晶質シリコン膜からなることを特徴とする請求項6記載の薄膜トランジスタ。

【請求項10】 前記側壁スペーサは、絶縁膜からなることを特徴とする請求項6記載の薄膜トランジスタ。

【請求項11】 前記絶縁膜は、酸化膜からなることを特徴とする請求項6記載の薄膜トランジスタ。

【請求項12】 前記ゲート絶縁膜は、酸化膜からなることを特徴とする請求項6記載の薄膜トランジスタ。

【請求項13】 基板と、

基板上に形成された半導体層と、

半導体層の中央部に形成されたゲート電極と、

ゲート電極の側の半導体層上に形成された側壁スペーサと、

ゲート電極の両側の半導体層内に形成された二つの高濃度不純物領域と、

を含むことを特徴とする薄膜トランジスタ。

【請求項14】 前記半導体層は、ポリシリコン膜からなることを特徴とする請求項13記載の薄膜トランジスタ。

【請求項15】 前記半導体層は、非晶質シリコン膜からなることを特徴とする請求項13記載の薄膜トランジスタ。

【請求項16】 前記ゲート電極は、ポリシリコン膜からなることを特徴とする請求項13記載の薄膜トランジスタ。

【請求項17】 前記側壁スペーサは、絶縁膜からなることを特徴とする請求項13記載の薄膜トランジスタ。

【請求項18】 基板と、

基板上に形成された半導体層と、

第1絶縁膜上に形成されたゲート絶縁膜と、

半導体層の中央部に形成されたゲート絶縁膜と、

ゲート絶縁膜上に形成されたゲート電極と、

ゲート電極を覆うように半導体層上に形成された第2絶縁膜と、

ゲート電極の側の第2絶縁膜上に形成された側壁スペーサと、

ゲート電極の両側の半導体層内に形成され、この中のゲート電極の側の半導体層内に形成された高濃度不純物領域は、側壁スペーサの下部において傾斜型の接合構造を有することを特徴とする薄膜トランジスタ。

【請求項19】 前記半導体層は、ポリシリコン膜からなることを特徴とする請求項18記載の薄膜トランジスタ。

【請求項20】 前記半導体層は、非晶質シリコン膜からなることを特徴とする請求項18記載の薄膜トランジスタ。

【請求項21】 前記ゲート電極は、ポリシリコン膜からなることを特徴とする請求項18記載の薄膜トランジスタ。

【請求項22】 前記側壁スペーサは、絶縁膜からなることを特徴とする請求項18記載の薄膜トランジスタ。

【請求項23】 前記第1絶縁膜は、酸化膜からなることを特徴とする請求項18記載の薄膜トランジスタ。

【請求項24】 前記ゲート絶縁膜は、酸化膜からなることを特徴とする請求項18記載の薄膜トランジスタ。

【請求項25】 前記第2絶縁膜は、窒化膜からなることを特徴とする請求項18記載の薄膜トランジスタ。

【請求項26】 基板の中央部にゲート電極を形成するステップと、

基板全面にわたってゲート絶縁膜と半導体層を順次形成するステップと、

ゲート電極の一侧の半導体層上にのみ側壁スペーサを形成するステップと、

半導体層に不純物イオンをイオン注入して二つの高濃度不純物領域をゲート両側の半導体層内に形成するステップと、

を含むことを特徴とする薄膜トランジスタの製造方法。

【請求項27】 前記ゲート電極として、ポリシリコン膜が用いられることを特徴とする請求項26記載の薄膜トランジスタの製造方法。

【請求項28】 前記半導体層として、非晶質シリコン膜、又はポリシリコン膜のいずれか一つが用いられることを特徴とする請求項26記載の薄膜トランジスタの製造方法。

【請求項29】 前記ゲート絶縁膜として、酸化膜が用いられることを特徴とする請求項26記載の薄膜トランジスタの製造方法。

【請求項30】 前記ゲート電極の形成の前、基板上に絶縁膜を形成するステップがさらに含まれることを特徴とする請求項26記載の薄膜トランジスタの製造方法。

【請求項31】 前記絶縁膜として、酸化膜が用いられることを特徴とする請求項30記載の薄膜トランジスタの製造方法。

【請求項32】 前記二つの側壁スペーサを形成するステップは、半導体層上に絶縁膜を塗布するステップと、絶縁膜を異方性エッチングしてゲート電極の両側の半導体層上に二つの側壁スペーサを形成するステップと、フォトリソ膜を利用したフォトリソエッチング工程により、ゲート電極の他の側に形成された側壁スペーサを選択的に除去してゲート電極の一侧にのみ側壁スペーサを残存させるステップと、

をさらに含むことを特徴とする薄膜トランジスタの製造方法。

【請求項33】 前記絶縁膜は、フッ素化合物であることを特徴とする請求項32記載の薄膜トランジスタの製造方法。

【請求項34】 前記絶縁膜として、BPSGないしSOGのいずれか一つを使用することを特徴とする請求項33記載の薄膜トランジスタの製造方法。

【請求項35】 前記半導体層を形成するステップの後、半導体層の特性改善のために前記半導体層にシリコンイオンをイオン注入して、アニーリングするステップをさらに含むことを特徴とする請求項26記載の薄膜トランジスタの製造方法。

【請求項36】 前記半導体層を形成するステップの後、スレショルド電圧を調節するために半導体層に不純物イオンをイオン注入するステップをさらに含むことを特徴とする請求項26記載の薄膜トランジスタの製造方法。

【請求項37】 前記二つの高濃度不純物領域の中からゲート電極の一侧に形成された高濃度不純物領域は、側

壁スペーサの下部に於いて傾斜した接合構造を有することを特徴とする請求項26記載の薄膜トランジスタの製造方法。

【請求項38】 前記高濃度不純物領域を形成するためのイオン注入の時、側壁スペーサがイオン注入用のマスクとして作用することを特徴とする請求項26記載の薄膜トランジスタの製造方法。

【請求項39】 基板上に半導体層を形成するステップと、

半導体層の中央部にゲート絶縁膜とゲート電極を順次形成するステップと、

ゲート電極の一侧の半導体層上に側壁スペーサを形成するステップと、

半導体層に不純物イオンを注入して二つの高濃度不純物領域をゲート両側の半導体層内に形成するステップと、

を含むことを特徴とする薄膜トランジスタの製造方法。

【請求項40】 前記半導体層として、非晶質シリコン膜またはポリシリコン膜のいずれか一つが用いられることを特徴とする請求項39記載の薄膜トランジスタの製造方法。

【請求項41】 前記ゲート電極として、ポリシリコン膜が用いられることを特徴とする請求項39記載の薄膜トランジスタの製造方法。

【請求項42】 前記ゲート絶縁膜として、酸化膜が用いられることを特徴とする請求項39記載の薄膜トランジスタの製造方法。

【請求項43】 前記半導体層を形成するステップの前に、絶縁膜を形成するステップをさらに含むことを特徴とする請求項39記載の薄膜トランジスタの製造方法。

【請求項44】 前記絶縁膜として、酸化膜が使用されることを特徴とする請求項43記載の薄膜トランジスタの製造方法。

【請求項45】 前記半導体層を形成するステップと二つの側壁スペーサを形成するステップとの間に絶縁膜を形成する工程がさらに含まれることを特徴とする請求項39記載の薄膜トランジスタの製造方法。

【請求項46】 前記絶縁膜として、窒化膜が用いられることを特徴とする請求項45記載の薄膜トランジスタの製造方法。

【請求項47】 前記二つの側壁スペーサを形成するステップは、半導体層上に絶縁膜を塗布するステップと、絶縁膜を異方性エッチングしてゲート電極の両側の半導体層上に側壁スペーサを形成するステップと、フォトリソ膜を利用したフォトリソエッチング工程により、ゲート電極の他の側に形成された側壁スペーサを選択的に除去してゲート電極の一侧にのみ側壁スペーサを残存させるステップと、

を含むことを特徴とする請求項39記載の薄膜トランジスタの製造方法。

【請求項48】 前記側壁スペーサとして、H<sub>2</sub>O、H

LO、LTO又はBPSGの中のいずれか一つを使用することを特徴とする請求項4記載の薄膜トランジスタの製造方法。

【請求項49】 前記半導体層を形成するステップの後、半導体層の特性を改善するために前記半導体層にシリコンイオンをイオン注入して、アニーリングするステップをさらに含むことを特徴とする請求項39記載の薄膜トランジスタの製造方法。

【請求項50】 前記半導体層を形成するステップの後、スレショルド電圧を調節するために不純物イオンを半導体層にイオン注入する工程をさらに含むことを特徴とする請求項39記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、4M以上級のSRAMの負荷抵抗、又はLCDの素子として用いられる薄膜トランジスタ及びその製造方法に関し、特に高集積素子に適する傾斜したドレイン領域を有するTFT及びその製造方法に関する。

【0002】

【従来の技術】TFTは高集積SRAM素子の負荷抵抗用として使用され、又LCDの駆動素子として使用される。一般にTFTは、オフ電流はできる限り低く、オン電流は高く流れさせオン／オフ電流比を増加させることにより、良好な特性が得られる。

【0003】従来のオフセットTFTは、オフ電流は一般的なTFTより低く調節されるが、オン電流も又低く調節され、オン／オフ電流比を増加させることは出来なかった。オン電流を増加させてオン／オフ電流比を増加させるためのTFTとして、LDD構造を有するオフセット(LDO, Lightly Doped Offset)TFTが提案された。

【0004】図1a-dは従来の上部ゲートを有するLDO-TFTの製造工程図を示すものである。まず、図1に示すように、基板11上に酸化膜からなる絶縁層12を形成し、前記絶縁層12上にポリシリコン膜または非晶質シリコン膜を蒸着して第1半導体層13を形成する。

【0005】前記第1半導体層13の特性を改善するための第1半導体層13にシリコン(Si)イオンをイオン注入する。シリコンイオンのイオン注入でポリシリコン膜からなる第1半導体層13は、非晶質シリコン膜に変わる。非晶質シリコン膜からなる第1半導体層13を600℃±50℃の温度で5時間以上アニーリングしたりレーザーアニーリングしたりして、またポリシリコン膜にする。

【0006】次いで、スレショルド電圧を調節するために第1半導体層13に不純物をイオン注入する。第1半導体層13上にHTO(High Temperature Oxide)14を蒸着して、その上にポリシリコ

ン膜15を蒸着する。フォトリソist膜16を利用したフォトリソist工程により、前記ポリシリコン膜15及びHTO膜14をパターンニングしてゲート絶縁膜とゲート電極を形成する。

【0007】図1bに示すように、前記フォトリソist膜を除去した後、またフォトリソist膜17を全面に塗布する。前記フォトリソist膜17をフォトリソistして、ゲート電極13の側の第1半導体層13を露出させる。フォトリソist膜17をマスクとして、露出された第1半導体層13にP型不純物18をイオン注入して、第1半導体層13内に低濃度のドレイン領域19を形成する。

【0008】図1cに示すように、低濃度ドレイン領域19を形成するために使用されたフォトリソist膜17を除去した後、またフォトリソist膜20を全面に塗布する。前記フォトリソist膜20をフォトリソistして低濃度のドレイン領域19を形成されたゲート電極15の側の第1半導体層13を露出させるとともにゲート電極15の他の側の第1半導体層13を露出させる。

【0009】フォトリソist膜20をマスクとしてP型不純物21を露出された第1半導体層13にイオン注入してゲート電極15とオーバーラップするように第1半導体層13内に高濃度のソース領域22を形成すると同時にゲート電極15とオーバーラップせず、前記低濃度のドレイン領域19と隣接するように高濃度のドレイン領域23を形成する。

【0010】図1dに示すように、前記フォトリソist膜20を除去した後、基板全面にわたってフォトリソist膜24をまた塗布する。このフォトリソist膜24を利用したフォトリソist工程により前記高濃度ソース及びドレイン領域22、23の両エッジ部分を除去することにより、LDD構造からなるオフセット(LDO)TFTを完成する。

【0011】図2a-dは、下部ゲートを有するLDO-TFTの製造工程図を示すものである。図2aのように、基板31上に酸化膜からなる絶縁膜32を蒸着し、その上にポリシリコン膜を蒸着した後、フォトリソist膜を利用したフォトリソist工程を施してゲート電極33を形成する。基板全面にわたって、高温酸化膜(HTO, High Temperature Oxide)を蒸着してゲート絶縁膜34を形成し、ゲート絶縁膜34上にポリシリコン膜または非晶質シリコン膜を蒸着して半導体層35を形成する。

【0012】半導体層の特性改善のために半導体層35にシリコンイオンをイオン注入する。この時、半導体層35へのイオン注入により、ポリシリコン膜からなる半導体層35は、非晶質シリコン膜に変わる。非晶質シリコン膜に変換された半導体層35を一定の温度(600±50℃)で5時間以上アニーリングさせたり、レーザーアニーリングさせたりして、またポリシリコン膜にす

る。

【0013】次いで、スレシヨルド電圧 ( $V_t$ ) を調節するために半導体層35に不純物イオン36をイオン注入する。この時、ゲート絶縁膜34と半導体層35はゲートの形成部位においてゲート電極33の厚さと同一な段差を有する。

【0014】前記工程後、図2bのように、フォトレジスト膜37を半導体層35上に塗布し、フォトリソエッチングしてゲート電極33の側のフォトレジスト膜37を除去して半導体層35を露出させる。このフォトレジスト膜37をマスクとしてP型不純物38をイオン注入して低濃度のドレイン領域39を形成する。

【0015】そして図2cのように、前記フォトレジスト膜37を全部除去した後、またフォトレジスト膜40を塗布する。高濃度ソース領域とドレイン領域を形成するためのフォトリソエッチング工程を行う。すなわち、フォトレジスト膜40をフォトリソエッチングしてゲート電極33の側の半導体層35と低濃度のドレイン領域39が形成されたゲート電極33の他の側の半導体層35の一部を露出させる。フォトレジスト膜40をマスクとしてP型不純物41をイオン注入して高濃度のソース領域42とドレイン領域43を形成する。

【0016】図2dのように、フォトレジスト膜40を除去した後、またフォトレジスト膜44を塗布する。このフォトレジスト膜44を用いたフォトリソエッチング工程を行ってソース領域42とドレイン領域43が形成された半導体層35をパターンニングしてLDDオフセットTFTを完成する。

【0017】

【発明が解決しようとする課題】以上説明したように、下部ゲートを有するLDO薄膜トランジスタ (Lightly doped Offset Bottom Gate Thin Film Transistor) は、オフ電流を出来る限り低く調節してオン/オフ電流比を増加させ、素子の電気的な特性を改善するためのものである。しかし、SRAMや液晶表示版 (LCD) 素子の高集積化による小型化により、TFTのゲートの上部のゲートラインの幅が狭くなった。

【0018】これにより、短チャネル効果によるオフ電流が増加する現象が起こる反面、オン電流の電流量の変化はないので、結局オン/オフ電流比が減少する結果をもたらす問題点がある。なお、LDD下部ゲートを有するオフセットTFTは、図2bに示すように、LDDを形成するための低濃度不純物 (P-) のイオン注入用のマスクング作業の時、マスクのオーバーラップのマージンが狭いため、工程上、難しさがある。

【0019】本発明は、上記のように従来技術の問題点を解決するためのものであり、傾斜したドレイン領域を形成してオン/オフ電流比を増加させる薄膜トランジスタ及びその製造方法を提供することにその目的がある。

【0020】

【課題を解決するための手段】上記目的を達成するために、本発明は、基板と、基板上に形成された絶縁膜と、絶縁膜上の中央部に形成されたゲート電極と、ゲート電極を覆うように絶縁膜上に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成された半導体層と、ゲート電極の側の半導体層上に形成された側壁スペーサと、ゲート電極の両側の半導体層内に形成され、この中からゲート電極の側の半導体層内に形成された高濃度不純物領域は、側壁スペーサの下部において傾斜した接合構造を有する二つの高濃度不純物領域を含むTFTを提供する。

【0021】なお、本発明は、基板の中央部にゲート電極を形成するステップと、基板全面にわたってゲート絶縁膜と半導体層を順次形成するステップと、ゲート電極の側の半導体層上にのみ側壁スペーサを形成するステップと、半導体層に不純物イオンをイオン注入して二つの高濃度不純物領域をゲートの両側の半導体層内に形成するステップとを含むTFTの製造方法を提供する。

【0022】本発明は、基板と、基板上に形成された第1絶縁膜と、第1絶縁膜上に形成された半導体層と、半導体層の中央部に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極と、ゲート電極を覆うように半導体層上に形成された第2絶縁膜と、ゲート電極の側の第2絶縁膜上に形成された側壁スペーサと、ゲート電極の両側の半導体層内に形成され、この中からゲート電極の側の半導体層内に形成された高濃度不純物領域は側壁スペーサの下部において傾斜した接合構造を含むTFTを提供する。

【0023】本発明は、基板上に半導体層を形成するステップと、半導体層の中央部にゲート絶縁膜とゲート電極を順次形成するステップと、ゲート電極の側の半導体層上に側壁スペーサを形成するステップと、半導体層に不純物イオンを注入して高濃度の不純物領域をゲートの両側の半導体層内に形成するステップとを含むTFTの製造方法を提供する。

【0024】図3は本発明の一実施例による上部のゲートを有するTFTの断面図を示すものである。図3を参照すると、本発明の上部ゲートを有するTFTは、基板51と、基板51上に形成された第1絶縁膜52と、両側のエッジを除いた絶縁膜52上に形成された半導体層53と、半導体層53の中央部に形成されたゲート絶縁膜54と、ゲート絶縁膜54上に形成されたゲート電極55と、ゲート電極55を覆うように半導体層53上に形成された第2絶縁膜56と、ゲート電極55の側の第2絶縁膜56上に形成された側壁スペーサ57と、傾斜型の接合を有し、かつ前記側壁スペーサ57とオーバーラップしてゲート電極55の側の半導体層53内に形成されたドレイン用の高濃度不純物領域62と、前記ゲート電極55とオーバーラップしてゲート電極55の他の側の半導体層53内に形成されたソース用の高濃度

不純物領域61とを含む。

【0025】図4a-eは図3に示すTFTの製造工程図である。まず、図4aを参照すると、基板51上に酸化膜からなる絶縁膜52を形成し、絶縁膜52上にドーブされないポリシリコン膜、或いはドーブされない非晶質シリコン膜を塗布して半導体層53を形成し、半導体層53上に酸化膜とポリシリコン膜を塗布してパターニングして、半導体層53の中央部にゲート絶縁膜54とゲート電極55を形成する。ゲート電極55の形成後基板全面に1000Å以下の厚さを有する薄い窒化膜56を蒸着する。

【0026】図4bのように、前記薄い窒化膜36上にHTO (High Temperature Oxide), HLO (High Temperature Low Pressure Oxide), LTO (Low Temperature Oxide) やBPSG (Borophospho-Silicate Glass) などの絶縁膜を蒸着した後、エッチバック工程を行って前記ゲート電極55の両側の面に側壁スペーサ57, 58を形成する。

【0027】図4cのように、フォトリソ膜59を基板全面にわたって塗布した後、フォトリソ工程を行って前記側壁スペーサ57, 58の中から一つの側壁スペーサ58を露出させ、フォトリソ膜59をマスクとして露出された側壁スペーサ58を除去してゲート電極55の一侧にのみ側壁スペーサ57を残す。

【0028】図4dのように、前記側壁スペーサ57とゲート電極55をマスクとして利用してP型不純物60をイオン注入して高濃度のソース領域61及びドレイン領域62を形成する。この時、ドレイン領域62は、イオン注入の時のゲート電極55の一侧にのみ形成された側壁スペーサ57のマスク作用によりソース領域62とは異なって緩やかに傾斜した接合構造を有するようになる。ドレイン領域62の傾斜した接合構造は、LDD構造と同じ効果がある。

【0029】図4eのように、フォトリソ膜20を用いたフォトリソ工程により、前記ソース61及びドレイン62を所定のパターンにパターニングすることにより、ドレイン領域が傾斜した形態で形成された上部ゲートを有するTFTが製造される。

【0030】図5は、本発明の他の実施例による下部ゲートを有するオフセットTFTの断面図を示すものである。図5を参照すると、本発明の下部ゲートを有するTFTは基板71と、基板71上に形成された絶縁膜72と、絶縁膜72の中央部に形成されたゲート電極73と、ゲート電極73の露出された表面を覆うように絶縁膜72上に形成されたゲート絶縁膜74と、一侧のエッジを除いたゲート絶縁膜74上に形成された半導体層75と、ゲート電極73の一侧の半導体層75に形成された側壁スペーサ77と、傾斜した接合構造を有し、ゲ

ト電極73の一侧の半導体層75内に前記側壁スペーサ77とオーバーラップして形成されたドレイン用の高濃度不純物領域83と、ゲート電極73の他の側の半導体層82内に形成されたソース用の高濃度不純物領域82とを含む。

【0031】図6a-eは、本発明の他の実施例による下部ゲートを有するオフセット薄膜トランジスタの製造工程図を示すものである。まず、図6aのように、基板71上に酸化膜からなる絶縁膜72を蒸着し、その上にポリシリコンを蒸着した後、フォトリソして前記絶縁膜72の中央部に一定の厚さを有するゲート電極73を形成する。前記ゲート電極73の露出された面を覆うように絶縁膜72上にゲート絶縁膜74を形成し、ドーブされないポリシリコン膜、或いはドーブされない非晶質シリコン膜を蒸着して半導体層75を形成する。半導体層75とゲート絶縁膜74は、ゲート電極73が形成された部分に於いてゲート電極73の厚さだけの段差を有する。

【0032】半導体層75の特性改善のためにシリコンイオンを半導体層75に注入する。シリコンイオンのイオン注入によりポリシリコン膜からなる半導体層75は、非晶質シリコン膜と変わる。次いで、一定の温度(600±500℃)で5時間以上アニールしたり、レーザアニールして非晶質シリコン膜に変換された半導体層75をまたポリシリコン膜にする。

【0033】次いで、スレショルド電圧( $V_t$ )を調節するための不純物イオンを半導体層75にイオン注入する。そして、側壁スペーサ用の絶縁膜76としてBPSG膜を半導体層75上に蒸着して、フローイング作業を施す。この時、BPSG膜の代わりにSOGをコーティングしてもかまわない。

【0034】図6bのように、絶縁膜76をエッチバックして半導体層75の両側の段差を形成部の側壁に側壁スペーサ77, 78を形成する。側壁スペーサ用の絶縁膜76は、フローイング物質(flowing material)としてSOGまたはBPSGを使用する。

【0035】図6cのように、基板全面にわたってフォトリソ膜79を塗布し、ゲート電極73の一侧に形成された側壁スペーサ78のみが露出されるようにフォトリソ膜79をフォトリソし、フォトリソ膜79をマスクとして露出されたスペーサ78を除去する。

【0036】図6dのように、側壁スペーサの除去の後、フォトリソ膜79を除去する。基板表面にわたって、またフォトリソ膜80を塗布し、フォトリソしてゲート電極73の上部及び側壁スペーサ77の一部上のみフォトリソ膜80を残す。このフォトリソ膜80をマスクとしてP型不純物81をイオン注入して、高濃度のソース領域82及びドレイン領域83を形成する。この時、ゲート電極の一侧上に残って

いる側壁スペーサ77は、イオン注入の時、マスクとして、この側壁スペーサ77の下部の高濃度ドレイン領域83は傾斜した接合構造を有し、この傾斜した接合構造はLDD構造と同一の効果がある。

【0037】図6eのように、フォトレジスト膜84を利用したフォトエッチング工程を行って、半導体層75をパターニングすることにより、傾斜した接合構造のドレイン領域を有するTFTを製造する。

【0038】図7は本発明の一実施例による上部ゲートを有するTFTと従来のLDO-TFTの特性を示すグラフである。図7を参照すると、 $W/L=0.6 \times 1.2 \mu\text{m}$ であり、低濃度のドレイン領域を形成するためのイオン注入条件が $5 \times 10^{12} \text{ ions/cm}^2$ 、 $\text{BF}_2^+$ 、25 keVであり、高濃度のソース/ドレイン領域を形成するためのイオン注入条件が $3 \times 10^{14} \text{ ions/cm}^2$ 、 $\text{BF}_2^+$ 、25 keVであるTFTの場合、従来のLDO-TFTにおいては、オフ電流が515 fAであり、オン電流が103 nAで、オン/オフ電流比は $2 \times 10^5$ である。一方、第1実施例のTFTにおいては、オフ電流が78 fAであり、オン電流が102 nAで、オン/オフ電流比は $1.5 \times 10^6$ である。

【0039】そして75ポイントのデータの平均を求めると、従来のLDO-TFTにおいて、オフ電流が518 fA (偏差 $1\sigma=1.8\%$ )であり、オン電流は101 nA (偏差 $1\sigma=1.2\%$ )で、オン/オフ電流比は $1.9 \times 10^5$ である。第1実施例のTFTにおいては、オフ電流が71 fA ( $1\sigma=1.7\%$ )であり、オン電流は100 nA ( $1\sigma=1.5\%$ )で、オン/オフ電流比は $1.4 \times 10^6$ である。

【0040】図8は、本発明の他の実施例による下部ゲートを有するTFTと従来のLDO-TFTの特性を示すグラフである。上記の条件下において、本発明のTFTは、オフ電流が68 fAであり、オン電流が103 nAでオン/オフ電流比は $2 \times 10^5$ である。また、175ポイントのデータの平均値を求めると、本発明のTFTは、オフ電流が71 fA ( $1\sigma=1.7\%$ )であり、オン電流は100 nA ( $1\sigma=1.5\%$ )で、オン/オフ電流比は $1.4 \times 10^6$ である。図7及び図8に於いて、マーク“O”はオン電流のポイントを示し、マーク“X”はオフ電流のポイントを示す。

【0041】上記説明したように、本発明のTFTは、従来のLDO-TFTとほとんど同じオン電流値が得ら

れるに対して、オフ電流は従来と相当な開きがあることが分かる。したがって、図7及び図8上に於いて、オン電流のポイントは本発明の従来のTFTが差なして同様に示しており、オフ電流のポイントは大きい開きをもって示してある。つまり、本発明の実施例によるTFTは、従来のLDO-TFTよりはオフ電流を減少させて、オン電流はそのまま高く保持させることにより、増加したオン/オフ電流比が得られる。

【0042】

【発明の効果】以上、前述したように、本発明のオフセット薄膜トランジスタは側壁スペーサをイオン注入用のマスクとして利用して傾斜した接合構造のドレイン領域を形成することにより、従来のLDD構造と同一な効果が得られる。従って、従来のオフセットTFTよりはオフ電流を減少する効果があり、オン電流に於いてはオフセットLDD薄膜トランジスタと同じレベルで高く調節することにより、オン/オフ電流比を7-14倍に増加させ、素子の電気的な特性をとびきり改善することが出来、従来のオーバーレイマージン (overlay margin) 問題が生じるLDDの形成工程が不要なので工程を単純化する効果が得られる。

【図面の簡単な説明】

【図1】 従来の上部ゲートを有するLDDオフセットTFTの製造工程図である。

【図2】 従来の下部ゲートを有するLDDオフセットTFTの製造工程図である。

【図3】 本発明の一実施例による上部ゲートを有するオフセットTFTの断面図である。

【図4】 図3のTFTの製造工程図である。

【図5】 本発明の他の実施例による下部ゲートを有するオフセットTFTの断面図である。

【図6】 図5のTFTの製造工程図である。

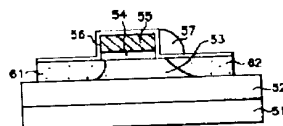
【図7】 本発明と従来TFTの特性を示すグラフである。

【図8】 本発明と従来TFTの特性を示すグラフである。

【符号の説明】

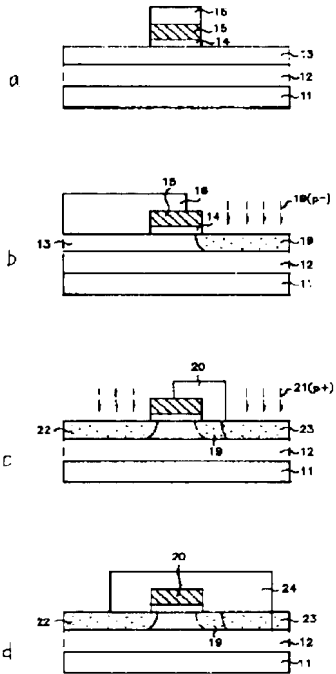
51, 71…基板、52, 72…絶縁膜、53, 75…半導体層、54, 74…ゲート絶縁膜、55, 73…ゲート電極、56…空化膜、57, 58, 77, 78…側壁スペーサ、59, 63, 79, 80, 84…フォトレジスト膜。

【図3】

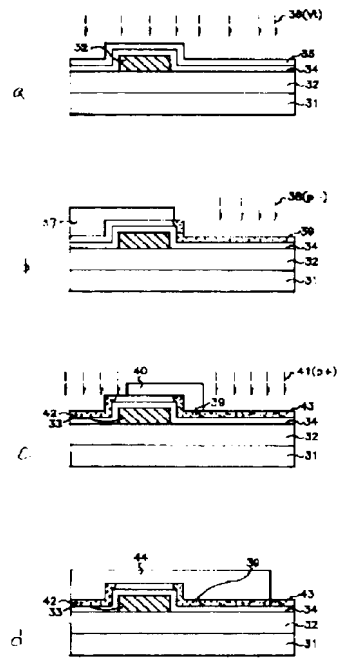




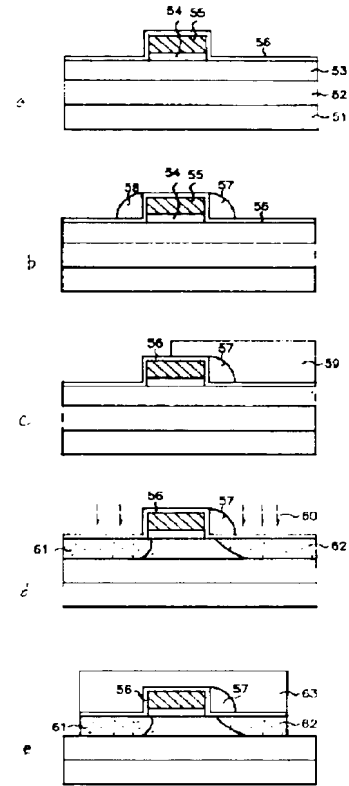
【図1】



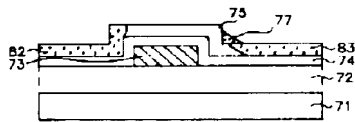
【図2】



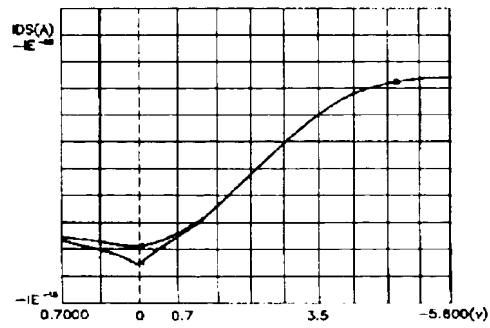
【図4】



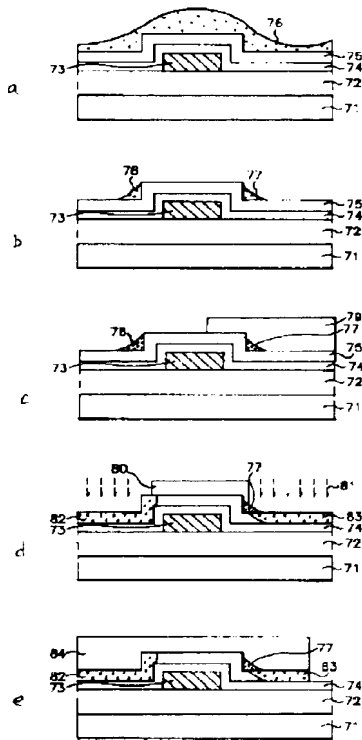
【図5】



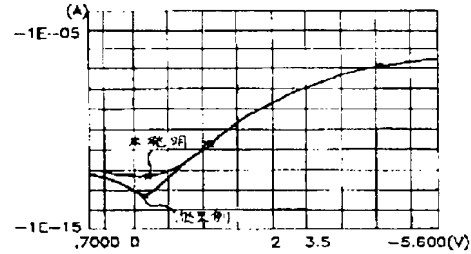
【図7】



【図6】



【図8】



## 【手続補正書】

【提出日】平成6年5月26日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 基板と、

基板の中央部に形成されたゲート電極と、

基板の電極を覆うように基板上に形成された半導体層と、

前記ゲート電極の側の半導体層上に形成された側壁スペーサと、

ゲート電極の両側の半導体層内に形成された二つの高濃度不純物領域と、

を含むことを特徴とする薄膜トランジスタ。

【請求項2】 基板と、

基板上に形成された絶縁膜と、

基板上の中央部に形成されたゲート電極と、

ゲート電極を覆うように絶縁膜上に形成されたゲート絶縁膜と、

ゲート絶縁膜上に形成された半導体層と、

ゲート電極の側の半導体層上に形成された側壁スペーサと、

ゲート電極の両側の半導体層内に形成され、この中からゲート電極の側の半導体層内に形成された高濃度不純物領域は、側壁スペーサの下部において傾斜型の接合構造を有する二つの高濃度不純物領域と、

を含むことを特徴とする薄膜トランジスタ。

【請求項3】 基板と、

基板上に形成された半導体層と、

半導体層の中央部に形成されたゲート電極と、

ゲート電極の側の半導体層上に形成された側壁スペーサと、

ゲート電極の両側の半導体層内に形成された二つの高濃度不純物領域と、

を含むことを特徴とする薄膜トランジスタ。

【請求項4】 基板と、

基板上に形成された半導体層と、  
第1絶縁膜上に形成されたゲート絶縁膜と、  
半導体層の中央部に形成されたゲート絶縁膜と、  
ゲート絶縁膜上に形成されたゲート電極と、  
ゲート電極を覆うように半導体層上に形成された第2絶縁膜と、  
ゲート電極の側の第2絶縁膜上に形成された側壁スペーサと、  
ゲート電極の両側の半導体層内に形成され、この中のゲート電極の側の半導体層内に形成された高濃度不純物領域は、側壁スペーサの下部において傾斜型の接合構造を有することを特徴とする薄膜トランジスタ。

【請求項5】 基板の中央部にゲート電極を形成するステップと、  
基板全面にわたってゲート絶縁膜と半導体層を順次形成するステップと、  
ゲート電極の側の半導体層上にのみ側壁スペーサを形成するステップと、  
半導体層に不純物イオンをイオン注入して二つの高濃度不純物領域をゲート両側の半導体層内に形成するステップと、  
を含むことを特徴とする薄膜トランジスタの製造方法。

【請求項6】 前記ゲート電極の形成の前、基板上に絶縁膜を形成するステップがさらに含まれることを特徴とする請求項5記載の薄膜トランジスタの製造方法。

【請求項7】 前記二つの側壁スペーサを形成するステップは、半導体層上に絶縁膜を塗布するステップと、  
絶縁膜を異方性エッチングしてゲート電極の両側の半導体層上に二つの側壁スペーサを形成するステップと、  
フォトリソ膜を利用したフォトリソエッチング工程により、ゲート電極の他の側に形成された側壁スペーサを選択的に除去してゲート電極の側のみに側壁スペーサを残存させるステップと、  
をさらに含むことを特徴とする薄膜トランジスタの製造方法。

【請求項8】 前記半導体層を形成するステップの後、半導体層の特性改善のために前記半導体層にシリコンイオンをイオン注入して、アニーリングするステップをさらに含むことを特徴とする請求項7記載の薄膜トランジスタの製造方法。

【請求項9】 前記半導体層を形成するステップの後、スレショルド電圧を調節するために半導体層に不純物イオンをイオン注入するステップをさらに含むことを特徴

とする請求項7記載の薄膜トランジスタの製造方法。

【請求項10】 基板上に半導体層を形成するステップと、  
半導体層の中央部にゲート絶縁膜とゲート電極を順次形成するステップと、  
ゲート電極の側の半導体層上に側壁スペーサを形成するステップと、  
半導体層に不純物イオンを注入して二つの高濃度不純物領域をゲート両側の半導体層内に形成するステップと、  
を含むことを特徴とする薄膜トランジスタの製造方法。

【手続補正2】

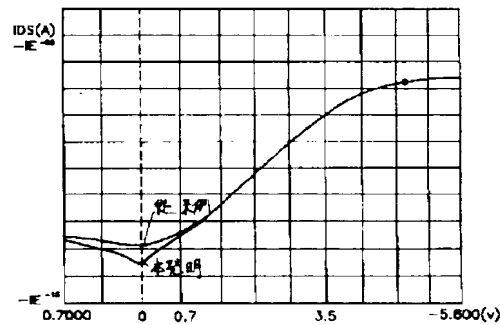
【補正対象書類名】図面

【補正対象項目名】図7

【補正方法】変更

【補正内容】

【図7】



【手続補正3】

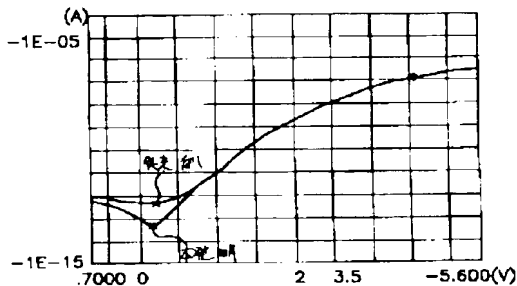
【補正対象書類名】図面

【補正対象項目名】図8

【補正方法】変更

【補正内容】

【図8】



(11)

フロントページの続き

(72)発明者 ヨン・イル・チョン  
大韓民国・ソウル市・ノONG・ズン  
ゲードン・シヨンアパートメント 12-  
1204